

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1036 U.S. PRO
09/838214



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 4月20日

出願番号
Application Number:

特願2000-119604

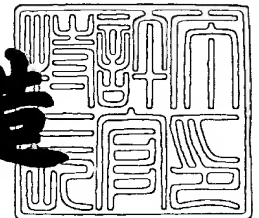
出願人
Applicant (s):

松下電子工業株式会社

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3004963

【書類名】 特許願

【整理番号】 2929020012

【提出日】 平成12年 4月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01P 3/08

【発明者】

 【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

 【氏名】 田邊 充

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【手数料の表示】

 【予納台帳番号】 014409

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9601027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロストリップ線路、その製造方法、インダクタ素子及び高周波半導体装置

【特許請求の範囲】

【請求項 1】 接地導体層と、

前記接地導体層の上に形成された誘電体層と、

前記誘電体層の上に形成された線状の線状導体層とを備え、

前記線状導体層は、該線状導体層が延びる方向に対して垂直な方向の断面の上部が幅広部であり、前記断面の下部が前記幅広部よりも幅が小さい狭小部であることを特徴とするマイクロストリップ線路。

【請求項 2】 前記接地導体層の下側に、該接地導体層を保持する誘電体からなる基板をさらに備え、

前記誘電体層の誘電率は、前記基板の誘電率よりも大きいことを特徴とする請求項 1 に記載のマイクロストリップ線路。

【請求項 3】 前記誘電体層はチタン酸化物を含むことを特徴とする請求項 1 又は 2 に記載のマイクロストリップ線路。

【請求項 4】 前記チタン酸化物はチタン酸ストロンチウムであることを特徴とする請求項 3 に記載のマイクロストリップ線路。

【請求項 5】 誘電体からなる基板の上に接地導体層を形成する工程と、

前記接地導体層の上に誘電体層を形成する工程と、

前記誘電体層の上に、線状の開口部を持つマスクパターンを形成する工程と、

前記開口部を含む前記マスクパターンの上に線状導体層形成層を堆積する工程と、

前記マスクパターン上の前記線状導体層形成層の幅が前記開口部の幅よりも大きくなるように前記線状導体層形成層を成形する工程とを備えていることを特徴とするマイクロストリップ線路の製造方法。

【請求項 6】 請求項 1 に記載のマイクロストリップ線路を有し、

前記マイクロストリップ線路における前記線状導体層は、前記誘電体層と平行な面内でスパイラル状に形成されていることを特徴とするインダクタ素子。

【請求項 7】 基板上に形成された能動素子と、

前記基板上に形成され、前記能動素子に対する入出力信号を伝播するマイクロストリップ線路とを備え、

前記マイクロストリップ線路は、前記基板上に形成された接地導体層と、前記接地導体層の上に形成された誘電体層と、前記誘電体層の上に形成された線状の線状導体層とを有し、前記線状導体層は、該線状導体層が延びる方向に対して垂直な方向の断面の上部が幅広部であり、前記断面の下部が前記幅広部よりも幅が小さい狭小部であることを特徴とする高周波半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロストリップ線路及びその製造方法、インダクタ素子並びに高周波半導体装置に関する。

【0002】

【従来の技術】

携帯電話等の無線通信機器の利用者は年々増加しており、これら無線通信機器の携帯用端末機器の小型化及び低コスト化に対する要求はますます高まっている。携帯端末機器の主要な構成要素である高周波装置は、これまで能動素子と受動素子とを基板上に別体に集積化するマルチチップ IC (Multichip IC) から、これらの素子を基板上に一体に形成する、いわゆる MMIC (Monolithic Microwave IC) 化によって、低コスト化が図られてきた。

【0003】

図 15 は従来の高周波回路を示し、図 16 は図 15 に示す高周波回路を基板上に実現した高周波半導体装置の平面構成を示している。図 16 において、図 15 に示す構成要素と同一の構成要素には同一の符号を付している。

【0004】

図 15 及び図 16 に示すように、入力端子 311 と直流遮蔽容量 306 との間に設けられているスパイラルインダクタ 302、303 及び増幅用 FET 301 のドレインと出力端子 312 との間に設けられているスパイラルインダクタ 30

4、305並びに増幅用FET301のゲートに直列に接続されている直流遮蔽容量306は、能動素子である増幅用FET301と比べて、大きな面積を占めていることが分かる。

【0005】

高周波半導体装置の一層の低コスト化を実現するには、これら受動素子の小型化を図り、1スライス当たりのチップ収率率を高める必要がある。これまで、高誘電体であるストロンチウムチタン酸化物（STO）を直流遮蔽容量やバイパス容量の誘電体として用いることにより、容量面積を低減し、チップ面積を縮小することが行なわれている（GaAs ICシンポジウム 1998）。

【0006】

また、特開平8-116028号公報及び特開平9-148525号公報には、マイクロストリップ線路の誘電体にSTOを用いて、信号電磁波の波長を短縮することにより、インダクタ素子の小型化を図る技術を開示している。

【0007】

【発明が解決しようとする課題】

しかしながら、前記従来のマイクロストリップ線路は、一般に線路の特性インピーダンスの高インピーダンス化又はインダクタの高インダクタンス化を図るために線路幅を縮小すると、線路の断面積が縮小されて導体損が増えるため、MMICの特性が劣化するという問題がある。

【0008】

特に、特開平8-116028号公報又は特開平9-148525号公報のマイクロストリップ線路は誘電体に高誘電体を用いているため、高インピーダンス化を図るには、線路幅を $0.5\mu\text{m}$ 以下にまで縮小する必要があり、実用上の問題がある。これは、スパッタ法やCVD法等の物理的蒸着又は化学的蒸着法により形成される誘電体薄膜は厚膜化が難しいためである。一般に、マイクロストリップ線路を高インピーダンス化するには、線状導体部の幅を小さくする必要があり、その際に、線状導体部の損失が大きくなる。

【0009】

本発明は、前記従来の問題を解決し、マイクロストリップ線路の高インピーダ

ンス化又はインダクタ素子の高インダクタ化を図るために線路幅の狭小化を行なったとしても、導体損失が増加しないようにすることを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係るマイクロストリップ線路は、接地導体層と、接地導体層の上に形成された誘電体層と、誘電体層の上に形成された線状の線状導体層とを備え、線状導体層は、該線状導体層が延びる方向に対して垂直な方向の断面の上部が幅広部であり、該断面の下部が幅広部よりも幅が小さい狭小部である。

【 0 0 1 1 】

本発明のマイクロストリップ線路によると、線状導体層が延びる方向に対して垂直な方向の断面において、上部が幅広部であり、下部が幅広部よりも幅が小さい狭小部であるため、誘電体層に近い側で高インピーダンス化及び高インダクタンス化を図れると共に、誘電体層から離れた上部は、狭小部よりも幅が広いいため、導体損失が増加しない。

【 0 0 1 2 】

本発明のマイクロストリップ線路は、接地導体層の下側に、該接地導体層を保持する誘電体からなる基板をさらに備え、誘電体層の誘電率が基板の誘電率よりも大きいことが好ましい。このようにすると、線状導体を伝播する高周波信号の波長が小さくなるため、高周波回路を小型化できる。

【 0 0 1 3 】

本発明のマイクロストリップ線路において、誘電体層がチタン酸化物を含むことが好ましい。

【 0 0 1 4 】

この場合に、チタン酸化物がチタン酸ストロンチウムであることが好ましい。

【 0 0 1 5 】

本発明に係るマイクロストリップ線路の製造方法は、誘電体からなる基板の上に接地導体層を形成する工程と、接地導体層の上に誘電体層を形成する工程と、誘電体層の上に、線状の開口部を持つマスクパターンを形成する工程と、開口部

を含むマスクパターンの上に線状導体層形成層を堆積する工程と、マスクパターン上の線状導体層形成層の幅が開口部の幅よりも大きくなるように線状導体層形成層を成形する工程とを備えている。

【 0 0 1 6 】

本発明のマイクロストリップ線路の製造方法によると、線状の開口部を含むマスクパターンの上に線状導体層形成層を堆積した後、マスクパターン上の線状導体層形成層の幅が開口部の幅よりも大きくなるように線状導体層形成層を成形することにより、線状導体層形成層から、断面上部が幅広部で、断面下部が幅広部よりも小さい線状導体層を形成するため、本発明に係るマイクロストリップ線路の線状導体層における幅広部と狭小部とを確実に形成できる。

【 0 0 1 7 】

本発明に係るインダクタ素子は、本発明に係るマイクロストリップ線路の線状導体層を有し、該線状導体層は、誘電体層と平行な面内でスパイラル状に形成されている。

【 0 0 1 8 】

本発明に係る高周波半導体装置は、基板上に形成された能動素子と、基板上に形成され、能動素子に対する入出力信号を伝播するマイクロストリップ線路とを備え、マイクロストリップ線路は、基板上に形成された接地導体層と、接地導体層の上に形成された誘電体層と、誘電体層の上に形成された線状の線状導体層とを有し、線状導体層は、該線状導体層が延びる方向に対して垂直な方向の断面の上部が幅広部であり、該断面の下部が幅広部よりも幅が小さい狭小部である。

【 0 0 1 9 】

【発明の実施の形態】

(第 1 の実施形態)

本発明の第 1 の実施形態について図面を参照しながら説明する。

【 0 0 2 0 】

図 1 は第 1 の実施形態に係るマイクロストリップ線路の断面構成を示している。図 1 に示すように、半絶縁性の $GaAs$ からなる基板 11 上には、接地導体層としての接地電極 12 と、厚さが約 $0.5 \mu m$ のチタン酸ストロンチウム (Sr

TiO₃) からなる誘電体層 1 3 と、線状導体層 1 4 とにより構成されるマイクロストリップ線路が形成されている。

【0021】

接地電極 1 2 は、基板 1 1 側から、厚さが約 0. 0 5 μm のチタン (Ti) と厚さが約 0. 5 μm の金 (Au) との積層体からなる第 1 層 1 2 a と、厚さが約 2. 5 μm の Au からなる第 2 層 1 2 b と、厚さが約 0. 2 μm の白金 (Pt) と厚さが約 0. 0 2 μm の Ti との積層体からなる第 3 層 1 2 c とにより構成されている。

【0022】

線状導体層 1 4 は、幅が約 5 μm の幅広部 1 4 b と、該幅広部 1 4 b の下側に延びる幅が約 0. 5 μm の狭小部 1 4 a とにより構成されている。さらに、線状導体層 1 4 は、複数の材料からなる積層体であって、基板 1 1 側から順次形成された、厚さが約 0. 1 μm の窒化タンゲステンシリコン (WSiN) からなる第 1 層 1 5 と、厚さが約 0. 0 5 μm の Ti と厚さが約 0. 5 μm の Au との積層体からなる第 2 層 1 6 と、厚さが約 3 μm の Au からなる第 3 層 1 7 とから構成されている。

【0023】

さらに、誘電体層 1 3 の上面、線状導体層 1 4 の側面及び上面は、膜厚が約 0. 5 μm の酸化シリコンからなる保護絶縁膜 1 8 により覆われている。

【0024】

以下、前記のように構成されたマイクロストリップ線路の製造方法について図面を参照しながら説明する。

【0025】

図 2 (a) ~ 図 2 (c) 及び図 3 (a)、図 3 (b) は第 1 の実施形態に係るマイクロストリップ線路の製造方法の工程順の断面構成を示している。

【0026】

まず、図 2 (a) に示すように、蒸着法を用いて、基板 1 1 上に、Ti と Au との積層体からなる第 1 層 1 2 a と、Au からなる第 2 層 1 2 b と、Pt と Ti との積層体からなる第 3 層 1 2 c とを順次堆積することにより、第 1 層 1 2 a、

第2層12b及び第3層12cからなる接地電極12を形成する。

【0027】

次に、図2(b)に示すように、基板温度を約300℃とするRFスパッタ法を用いて、接地電極12の上に全面にわたってSTOからなる誘電体層13を堆積する。続いて、RFスパッタ法を用いて、WSiNからなる線状導体層の第1層15を堆積する。その後、幅が約0.5μmのラインパターンを持つ第1のレジスト膜21を形成し、該第1のレジスト膜21をマスクとし、四フッ化炭素(CF₄)を用いて第1層15に対してエッチバックを行なって狭小部14aとなるパターニングを行なう。続いて、温度が約450℃の酸素雰囲気でシンタリング(熱処理)を行なう。このシンタリングにより、誘電体層13が再結晶化し、結晶の配向が揃うことによって高い誘電率が実現される。

【0028】

次に、図2(c)に示すように、基板11上の全面にポジ型の第2のレジスト膜22を塗布した後、リソグラフィ法を用いて、塗布した第2のレジスト膜22に第1層15を露出する開口パターンを形成する。続いて、蒸着法により、第2のレジスト膜22の上に開口パターンの壁面及び底面を含む全面にわたって、TiとAuとの積層体からなる線状導体層の第2層形成層16Aを堆積する。

【0029】

次に、図3(a)に示すように、第2層形成層16Aの上に、ネガ型の第3のレジスト膜23を塗布した後、リソグラフィ法により、幅が約5μmの開口パターンを線状導体層の第1層15を含むように形成する。続いて、第3のレジスト膜23をマスクとして、めっき法により、線状導体層の第2層形成16Aの上に、Auからなる線状導体層の第3層17を形成する。

【0030】

次に、図3(b)に示すように、第3のレジスト膜23を除去した後、ヨウ化カリウム(KI)からなるエッチャントを用いて、第2層形成層16Aにおける積層体上部であるAu層の不要部分を除去する。続いて、フッ酸を用いて第2層形成層16Aにおける積層体下部であるTi層の不要部分を除去することにより、第2層形成層16Aから線状導体層14の第2層16のパターニングを行なう。

。その後、第2のレジスト膜22をレジストリムーバで除去した後、CVD法を用いて、誘電体層13の上に線状導体層14を覆うように全面にわたって酸化シリコンからなる保護絶縁膜18を堆積する。

【0031】

以上の製造工程により、断面上部が幅広部14bで、断面下部が幅広部14bよりも小さい狭小部14aからなる、断面T字状のマイクロストリップ線路を得ることができる。

【0032】

なお、第2のレジスト膜22の代わりに、窒化シリコンからなるマスクパターンを用いてもよい。この場合のエッチャントは、例えば熱リン酸である。

【0033】

このように、マイクロストリップ線路における線状導体層14と接地電極12との間に形成される誘電体層13にSTOを用いると、STOの比誘電率は200にも達するため、マイクロストリップ線路を伝播する電磁波の波長はGaAsを誘電体に用いたマイクロストリップ線路の場合の約4分の1となる。このことは、STOを誘電体層13に用いると、誘電体層13にGaAsを用いた場合に周波数が5GHzで4分の1波長($\lambda/4$)が6mmの電磁波が、その $\lambda/4$ 長が1.5mm程度にまで短縮されることを意味する。この波長の短縮効果により、5GHzではチップサイズの制限から採用できなかった分布定数回路を採用できるようになり、チップサイズを大幅に縮小できるようになる。

【0034】

但し、現状では、膜厚が0.5 μ mのSTO膜を形成するには、その成膜に2時間を要するため、これ以上の厚膜化はスループットがより低下するので、適当ではない。従って、マイクロストリップ線路の高インピーダンス化には導電体幅を狭小化することが必須となるものの、前述したように、単なる狭小化ではマイクロストリップ線路の高損失化を招いてしまう。

【0035】

第1の実施形態は、線状導体層14における誘電体層13と隣接する側を狭小部14aとし該狭小部14aにより線路のインピーダンスを定義すると共に、誘

電体層 1 3 から離れた側を幅広部 1 4 b とし該幅広部 1 4 b により損失を定義しており、これにより、高インピーダンスで且つ低損失な線路を実現できる。

【 0 0 3 6 】

また、線状導体層 1 4 の幅広部 1 4 b と誘電体層 1 3 との間には酸化シリコン (SiO_2) からなる保護絶縁膜 1 8 を充填したが、保護絶縁膜 1 8 を充填しないか、充填する場合には、誘電率が低い低誘電率膜、例えばベンゾシクロブテン (BCB)、Duroid 又はポリイミド膜等からなる有機材料を用いることが好ましい。

【 0 0 3 7 】

また、誘電体層 1 3 と幅広部 1 4 b との距離は大きいほうが良い。これは、幅広部 1 4 b と接地電極 1 2 との間のカップリング容量を抑えるためである。カップリング容量が大きくなると、幅広部 1 4 b がストリップ線路のインピーダンスに大きく影響してしまうため、高インピーダンス化の妨げとなるからである。

【 0 0 3 8 】

また、第 1 の実施形態に係るマイクロストリップ線路を用いたインダクタ素子、例えば、スパイラルインダクタ素子を形成すると良い。このようにすると、スパイラルインダクタ素子のインダクタンスは、線状導体層 1 4 と接地電極 1 2 との間の距離に対する線状導体層 1 4 の幅の比の値で決定される相関係数が大きくなるため、スパイラルインダクタのインダクタンス値を大きくできる。

【 0 0 3 9 】

この相関係数は、スパイラル状以外の形状のインダクタ素子に対しても適用されるため、本実施形態に係るマイクロストリップ線路は、スパイラルインダクタ素子だけでなく、つづら折り状 (メアンダ状)、ループ状等の他の形状のインダクタ素子にも有効である。

【 0 0 4 0 】

また、第 1 の実施形態においては、線状導体層 1 4 及び接地電極 1 2 の主要な材料として Au を用いたが、Ag や Cu 等の Au よりもさらに導電率が高い材料を用いれば、より一層導体損失を低下させることができる。さらには、線状導体層 1 4 及び接地電極 1 2 の主材料に超伝導材料を用いてもよい。

【 0 0 4 1 】

また、第 1 の実施形態においては、マイクロストリップ線路の構成を、誘電体層 1 3 に S T O を用いた T F M S (薄膜マイクロストリップ) としたが、誘電体層 1 3 として、有機材からなる薄膜又は他の誘電体を用いた T F M S としてもよい。

【 0 0 4 2 】

また、第 1 の実施形態においては、基板 1 1 に G a A s を用いたが、これに代えて、S i、石英等のガラス材料又はアルミナからなる無機材料、又はポリスチレン、テフロン等からなる有機材料を用いてもよい。

【 0 0 4 3 】

また、本実施形態の断面形状を有する線状導体層 1 4 をコプレーナ線路の信号線として用いても良い。

【 0 0 4 4 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

【 0 0 4 5 】

図 4 は第 2 の実施形態に係るマイクロストリップ線路の断面構成を示している。図 4 に示すように、半絶縁性の G a A s からなる基板 3 1 には、接地導体層としての接地電極 3 2 と、厚さが約 $0.5 \mu\text{m}$ のチタン酸ストロンチウム (S T O) からなる誘電体層 3 3 と、線状導体層 3 4 とにより構成されるマイクロストリップ線路が形成されている。

【 0 0 4 6 】

接地電極 3 2 は、基板 3 1 側から、厚さが約 $0.05 \mu\text{m}$ の T i と厚さが約 $0.5 \mu\text{m}$ の A u との積層体からなる第 1 層 3 2 a と、厚さが約 $2.5 \mu\text{m}$ の A u からなる第 2 層 3 2 b と、厚さが約 $0.2 \mu\text{m}$ の P t と厚さが約 $0.02 \mu\text{m}$ の T i との積層体からなる第 3 層 3 2 c とにより構成されている。

【 0 0 4 7 】

線状導体層 3 4 は、幅が約 $0.5 \mu\text{m}$ の狭小部 3 4 a と、幅が約 $5 \mu\text{m}$ の幅広部 3 4 b とにより構成されている。さらに、線状導体層 3 4 は、複数の材料から

なる積層体であって、基板 3 1 側から順次形成された、厚さが約 $0.1 \mu\text{m}$ の W S i N からなる第 1 層 3 5 と、厚さが約 $0.05 \mu\text{m}$ の T i と厚さが約 $0.5 \mu\text{m}$ の A u との積層体からなる第 2 層 3 6 と、厚さが約 $3 \mu\text{m}$ の A u からなる第 3 層 3 7 とから構成されている。

【0048】

誘電体層 3 3 の上面と線状導体層 3 4 の狭小部 3 4 a との間には、低誘電率の誘電体、例えば厚さが約 $1 \mu\text{m}$ の酸化シリコン (SiO_2) からなる支持絶縁膜 3 8 が充填されている。

【0049】

以下、前記のように構成されたマイクロストリップ線路の製造方法について図面を参照しながら説明する。

【0050】

図 5 (a) ~ 図 5 (c) 及び図 6 (a)、図 6 (b) は第 2 の実施形態に係るマイクロストリップ線路の製造方法の製造方法の工程順の断面構成を示している。

【0051】

まず、図 5 (a) に示すように、蒸着法を用いて、基板 3 1 上に、T i と A u との積層体からなる第 1 層 3 2 a と、A u からなる第 2 層 3 2 b と、P t と T i との積層体からなる第 3 層 3 2 c とを順次堆積することにより、第 1 層 3 2 a、第 2 層 3 2 b 及び第 3 層 3 2 c からなる接地電極 3 2 を形成する。

【0052】

次に、図 5 (b) に示すように、基板温度を 300°C とし、R F スパッタ法を用いて接地電極 1 2 の上に全面にわたって S T O からなる誘電体層 1 3 を堆積する。堆積した誘電体層 1 3 の上における線状導体層の狭小部形成領域に、幅が約 $0.5 \mu\text{m}$ のラインパターンを持つ第 1 のレジスト膜 4 1 を形成し、続いて、例えばイオンビームスパッタ法を用いて、誘電体層 3 3 の上に第 1 のレジスト膜 4 1 を含む全面に SiO_2 からなる支持絶縁膜形成膜 3 8 A を堆積する。

【0053】

次に、図 5 (c) に示すように、第 1 のレジスト膜 4 1 に対してリフトオフを

行なうことにより、誘電体層 3 3 における狭小部形成領域を露出させる。続いて、RFスパッタ法を用いて、W S i N からなる線状導体層の第 1 層 3 5 を堆積し、堆積した第 1 層 3 5 の上に、第 2 のレジスト膜 4 2 を塗布した後、リソグラフィ法により、幅が約 $5 \mu\text{m}$ のラインパターンを狭小部形成領域を含むように形成する。続いて、形成された第 2 のレジスト膜 4 2 をマスクとし、 CF_4 を用いて第 1 層 3 5 に対してエッチバックを行なって狭小部 3 4 a を含むパターンニングを行なう。その後、温度が約 450°C の酸素雰囲気でシンタリングを行なって、誘電体層 3 3 を再結晶化することにより、誘電体層 3 3 の高誘電率化を図る。

【0054】

次に、図 6 (a) に示すように、蒸着法を用いて、支持絶縁膜 3 8 及び第 1 層 3 5 の上に全面にわたって線状導体層の第 2 層形成層 3 6 A を形成する。その後、第 2 層形成層 3 6 A の上に、第 3 のレジスト膜 4 3 を塗布した後、リソグラフィ法により、幅が約 $5 \mu\text{m}$ の開口パターンを線状導体層の第 1 層 3 5 を含むように形成する。続いて、めっき法により第 3 のレジスト膜 4 3 をマスクとして、線状導体層の第 2 層形成層 3 6 A の上に、Au からなる線状導体層の第 3 層 3 7 を形成する。

【0055】

次に、図 6 (b) に示すように、第 3 のレジスト膜 4 3 を除去した後、KI からなるエッチャントを用いて、第 2 層形成層 3 6 A における積層体上部である Au 層の不要部分を除去する。続いて、フッ酸を用いて第 2 層形成層 3 6 A における積層体下部である Ti 層の不要部分を除去することにより、第 2 層形成層 3 6 A から線状導体層 3 4 の第 2 層 3 6 となるパターンニングを行なう。

【0056】

以上の製造工程により、狭小部 3 4 a である下部と、幅広部 3 4 b である上部とからなり、斜辺が湾曲した断面逆台形状のマイクロストリップ線路を得ることができる。なお、支持絶縁膜 3 8 の膜厚によっては斜辺の湾曲はほぼ直線状を示す。

【0057】

第 2 の実施形態のように、マイクロストリップ線路における線状導体層 3 4 と

接地電極 3 2 との間に形成される誘電体層 3 3 に S T O を用いると、マイクロストリップ線路を伝播する電磁波の波長は G a A s を誘電体に用いたマイクロストリップ線路の場合の約 4 分の 1 となる。従って、S T O を誘電体層 3 3 に用いると、G a A s の場合に周波数が 5 G H z で 4 分の 1 波長 ($\lambda/4$) が 6 m m の電磁波が、その $\lambda/4$ 長が 1. 5 m m 程度にまで短縮される。この波長の短縮効果により、5 G H z ではチップサイズの制限から不可能であった分布定数回路を可能にし、チップサイズの大幅な縮小が可能となる。

【 0 0 5 8 】

但し、前述したように、膜厚が 0. 5 μ m の S T O 膜を形成するには 2 時間を要し、現状のプロセスでは、これ以上の厚膜化は現実的ではない。従って、マイクロストリップ線路の高インピーダンス化には導電体幅を狭小化することが必須となるものの、単なる狭小化ではマイクロストリップ線路の高損失化を招く。

【 0 0 5 9 】

第 2 の実施形態においては、線状導体層 3 4 における誘電体層 3 3 と隣接する側を狭小部 3 4 a とし該狭小部 3 4 a により線路のインピーダンスを定義すると共に、誘電体層 3 3 から離れた側を幅広部 3 4 b とし該幅広部 3 4 b により損失を定義する。これにより、高インピーダンスで且つ低損失な線路を実現できる。

【 0 0 6 0 】

また、線状導体層 3 4 の狭小部 3 4 a の形状を決定する支持絶縁膜 3 8 に S i O₂ を用いたが、絶縁体を充填しないのが好ましい。S i O₂ を充填しない場合には、S i O をフッ酸で除去すればよい。また、S i O₂ よりも誘電率が小さい低誘電率膜、例えば B C B、D u r o i d 又はポリイミド膜等からなる有機材料を用いることが好ましい。この場合には、有機材料を C V D 法等により堆積すると良い。

【 0 0 6 1 】

また、誘電体層 3 3 と幅広部 3 4 b との距離は大きいほうが良い。これは、幅広部 3 4 b と接地電極 3 2 との間のカップリング容量を抑えるためである。カップリング容量が大きくなると、幅広部 3 4 b がストリップ線路のインピーダンスに大きく影響してしまうため、高インピーダンス化の妨げとなるからである。

【 0 0 6 2 】

また、第 2 の実施形態に係るマイクロストリップ線路を用いたインダクタ素子、例えば、スパイラルインダクタ素子を形成すると良い。このようにすると、スパイラルインダクタ素子のインダクタンスは、線状導体層 3 4 と接地電極 3 2 との間の距離に対する線状導体層 3 4 の幅の比の値で決定される相関係数が大きくなるため、スパイラルインダクタのインダクタンス値を大きくできる。

【 0 0 6 3 】

この相関係数は、スパイラル状以外の形状のインダクタ素子に対しても適用されるため、本実施形態に係るマイクロストリップ線路は、スパイラルインダクタ素子だけでなく、つづら折り状（メアンダ状）、ループ状等の他の形状のインダクタ素子にも有効である。

【 0 0 6 4 】

また、第 2 の実施形態においては、線状導体層 3 4 及び接地電極 3 2 の主要な材料として A u を用いたが、A g や C u 等の A u よりさらに導電率が高い材料を用いればさらに導体損失を低下させることができる。さらには、線状導体層 3 4 及び接地電極 3 2 の主要な材料として超伝導材料を用いてもよい。

【 0 0 6 5 】

また、第 2 の実施形態においては、マイクロストリップ線路の構成を、誘電体層 3 3 に S T O を用いた T F M S としたが、誘電体層 3 3 として、有機材料からなる薄膜又は他の誘電体を用いた T F M S としても有効である。

【 0 0 6 6 】

また、第 2 の実施形態においては、基板 3 1 に G a A s を用いたが、これに代えて、S i、石英等のガラス材料又はアルミナからなる無機材料又はポリスチレン、テフロン等からなる有機材料を用いてもよい。

【 0 0 6 7 】

また、本実施形態の断面形状を有する線状導体層 3 4 をコプレーナ線路の信号線として用いても良い。

【 0 0 6 8 】

（第 3 の実施形態）

以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

【0069】

図 7 は第 3 の実施形態に係る高周波半導体装置の回路構成を示している。図 7 に示すように、高周波増幅用素子である FET 51 の入力側には入力整合回路が接続され、出力側には出力整合回路が接続されている。

【0070】

入力整合回路は、RF 入力端子 52 と FET 51 のゲートとの間に直列に接続された直流遮蔽用の第 1 の容量素子 54 及び $\lambda/4$ 長線路（マイクロストリップ線路）55 と、バイアス供給用の RF チョークである第 1 のインダクタ素子 56 と、該第 1 のインダクタ素子 56 を高周波的に短絡する第 2 の容量素子 57 とにより構成されている。

【0071】

出力整合回路は、FET 51 のドレインと RF 出力端子 53 との間に直列に接続され直流遮蔽を兼ねる第 3 の容量素子 58 と、ドレインと並列に接続された第 2 のインダクタ素子 59 と、第 2 のインダクタ素子 59 を高周波的に短絡する第 4 の容量素子 60 とにより構成されている。ここで、第 2 のインダクタ素子 59 及び第 4 の容量素子 60 はバイアス信号の供給を兼ねている。この構成により、FET 51 の入出力インピーダンスは $50\ \Omega$ 付近にそれぞれ変換される。

【0072】

図 8 は FET 51 の入出力インピーダンスの変換の様子を説明するスミスチャートである。図 8 に示すように、ここでは、FET 51 の入力インピーダンスがチャート上の点 A の位置にあり、出力インピーダンスが点 B の位置にあると仮定する。入力インピーダンスは、 $\lambda/4$ 長線路 55 によって $50\ \Omega$ 付近に変換され、出力インピーダンスは、第 2 のインダクタ素子 59 及び第 3 の容量素子 58 によって $50\ \Omega$ 付近に変換されることを表わしている。

【0073】

図 9 は図 7 に示す高周波半導体装置の部分的な斜視図である。ここでは、一例として、第 1 の実施形態に示したマイクロストリップ線路を入力側にのみ適用することにし、従って、図 7 に示す領域 50、すなわち、入力整合回路及び FET

51を含む構成要素のみを表わすことにする。

【0074】

図9に示すように、本高周波装置は、半絶縁性のGaAsからなる基板111上に、接地電極112及び厚さが約 $0.5\mu\text{m}$ のSTOからなる誘電体層113が順次形成されて、マイクロストリップ線路部の基板を構成している。なお、接地電極112は、図1に示した構成と同一の構成を採る。すなわち、接地電極112は、基板111側から、厚さが約 $0.05\mu\text{m}$ のTiと厚さが約 $0.5\mu\text{m}$ のAuとの積層体からなる第1層と、厚さが約 $2.5\mu\text{m}$ のAuからなる第2層と、厚さが約 $0.2\mu\text{m}$ のPtと厚さが約 $0.02\mu\text{m}$ のTiとの積層体からなる第3層とにより構成されている。また、図面を簡単化するために、FET151は直方体として表わしている。

【0075】

FET151の入力側は、図7に示す $\lambda/4$ 長線路55と対応するメアンダ状のマイクロストリップ線路155の一端と接続されている。

【0076】

マイクロストリップ線路155の他端は、図7に示す第1の容量素子54と対応し且つSTOを容量絶縁膜とする第1のMIMキャパシタ154の一方の電極と接続されている。第1のMIMキャパシタ154の他方の電極は、図7に示すRF入力端子52と対応するRF入力端子152と接続されている。

【0077】

RF入力端子152はRF評価用プローブを用いて本高周波装置のRF特性を評価できるように、グラウンドーシグナルーグラウンド(G-S-G)構成を有しており、グラウンド端子152aがビア152bを通して接地電極112と接続されている。

【0078】

また、マイクロストリップ線路155と第1のMIMキャパシタ154との接続部は、図7に示す第1のインダクタ素子56と対応するスパイラルインダクタ156の一端部が接続されている。スパイラルインダクタ156の他端部は、図7に示す第2の容量素子57と対応し且つSTOを容量絶縁膜とする第2のMI

Mキャパシタ 1 5 7 の一方の電極と接続されている。また、第 2 の M I M キャパシタ 1 5 7 の他方の電極は、D C 供給用パッド 1 2 1 と接続されている。

【 0 0 7 9 】

以下、前記のように構成された高周波半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 8 0 】

図 1 0 ～図 1 4 は第 3 の実施形態に係る高周波半導体装置の工程順の断面構成を示している。ここでは、説明を簡単にするために、図 1 0 (a) に示すように、基板 2 1 1 の上に、増幅用素子である F E T を形成する F E T 形成領域 1 とマイクロストリップ線路を形成する線路形成領域 2 とを含み、図 7 に示す領域 5 0 とは異なる他の領域の製造方法を説明する。

【 0 0 8 1 】

まず、図 1 0 (a) に示すように、半絶縁性の G a A s からなる基板 2 1 1 の上に、F E T 用のヘテロ接合の能動層（チャネル層）を含むエピタキシャル層が形成された基板を用意する。このエピタキシャル層は、例えば、基板 2 1 1 側から、A l G a A s 又は I n G a A s からなるバッファ層と、基板 2 1 1 に近い側から組成が A l A s から I n A l A s に徐々に変化する 그레이デッドバッファ層と、I n G a A s からなるチャネル層と、該チャネル層よりもエネルギーギャップが大きく、チャネル層との接合面で 2 次元電子ガス層を形成する I n A l A s からなる障壁層と、I n G a A s からなるコンタクト層とが順次形成されて構成されている。

【 0 0 8 2 】

次に、F E T 形成領域 1 に対して、メサエッチングを行なう。続いて、基板 2 1 1 上に第 1 のレジスト膜 2 5 1 を塗布した後、リソグラフィにおける位相送シフト法を用いて、F E T 形成領域 1 に F E T のゲート長を決定するための幅が約 $0.2\ \mu\text{m}$ のラインパターン 2 5 1 a を形成する。その後、イオンビームスパッタ法を用い、第 1 のレジスト膜 2 5 1 をマスクとして基板 2 1 1 上の全面に、膜厚が約 $0.2\ \mu\text{m}$ の S i O₂ からなる第 1 の保護絶縁膜 2 1 2 を堆積する。

【 0 0 8 3 】

次に、図 1 0 (b) に示すように、第 1 のレジスト膜 2 5 1 に対してリフトオフを行なった後、CVD 法等を用いて、基板 2 1 1 上に第 1 の保護絶縁膜 2 1 2 を含む全面にわたって膜厚が約 $0.3 \mu\text{m}$ の SiN からなる第 2 の保護絶縁膜 2 1 3 を形成する。

【 0 0 8 4 】

次に、図 1 0 (c) に示すように、蒸着法を用いて、第 2 の保護絶縁膜 2 1 3 の上に全面にわたって、厚さが約 $0.05 \mu\text{m}$ の Ti と厚さが約 $0.5 \mu\text{m}$ の Au との積層体からなる接地電極の第 1 層形成層 2 1 5 A を形成する。

【 0 0 8 5 】

次に、図 1 0 (d) に示すように、FET 形成領域 1 を覆う第 2 のレジスト膜 2 5 2 を形成する。その後、めっき法を用いて、厚さが約 $2.5 \mu\text{m}$ の Au からなる接地電極の第 2 層形成層 2 1 5 B を形成し、続いて、再度蒸着法を用いて、厚さが約 $0.2 \mu\text{m}$ の Pt と厚さが約 $0.02 \mu\text{m}$ の Ti との積層体からなる接地電極の第 3 層形成層 2 1 5 C を形成する。

【 0 0 8 6 】

次に、図 1 1 (a) に示すように、第 2 のレジスト膜 2 5 2 を除去した後、KI エッチャント及びフッ酸により、FET 形成領域 1 の第 1 層形成層 2 1 5 A を除去することにより、線路形成領域 2 に、第 1 層形成層 2 1 5 A、第 2 層形成層 2 1 5 B 及び第 3 層形成層 2 1 5 C からなる接地電極 2 1 5 を形成する。続いて、CVD 法を用いて、基板 2 1 1 上の全面にわたって膜厚が約 $0.3 \mu\text{m}$ SiN からなる第 3 の保護絶縁膜 2 1 6 を堆積する。

【 0 0 8 7 】

次に、図 1 1 (b) に示すように、リソグラフィ法により、第 3 の保護絶縁膜 2 1 6 上に、線路形成領域 2 に開口パターンを有する第 3 のレジスト膜 2 5 3 を形成する。続いて、RIE 法を用いて、第 3 のレジスト膜 2 5 3 をマスクとして第 3 の保護絶縁膜 2 1 6 に対してエッチングを行なうことにより接地電極 2 1 5 を露出する。

【 0 0 8 8 】

次に、図 1 1 (c) に示すように、基板温度を約 300 度とする RF スパッタ

法を用いて、基板 2 1 1 上に線路形成領域 2 を含む全面にわたって、厚さが約 0 . 5 μ m の S T O からなる誘電体層 2 1 7 を堆積する。

【 0 0 8 9 】

次に、図 1 1 (d) に示すように、誘電体層 2 1 7 上に、該誘電体層 2 1 7 の線路形成領域 2 を覆う第 4 のレジスト膜 2 5 4 をマスクとし、ミリング法を用いて、誘電体層 2 1 7 の F E T 形成領域 1 を除去する。

【 0 0 9 0 】

次に、図 1 2 (a) に示すように、第 4 のレジスト膜 2 5 4 を除去した後、R F スパッタ法により、基板 2 1 1 上に全面にわたって、厚さが約 0 . 1 μ m の W S i N からなる線状導体層の第 1 層形成層 2 1 8 A を堆積する。その後、温度が約 4 5 0 $^{\circ}$ C の酸素雰囲気で行なうシンタリングを行なって、誘電体層 2 1 7 を再結晶化する。

【 0 0 9 1 】

次に、図 1 2 (b) に示すように、第 1 層形成層 2 1 8 A の上に、線状導体層の狭小部となる、幅が約 0 . 5 μ m のラインパターンを持つ第 5 のレジスト膜を形成する。続いて、C F ₄ と S F ₆ とをエッチャントとする R I E 法を用いて、第 5 のレジスト膜 2 5 5 をマスクとし、第 1 層形成層 2 1 8 A に対してエッチングを行なうことにより、線路形成領域 2 に第 1 層形成層 2 1 8 A からなる線状導体層の第 1 層 2 1 8 を形成する。

【 0 0 9 2 】

次に、図 1 2 (c) に示すように、リソグラフィ法により、基板 2 1 1 上に、該基板 2 1 1 上の F E T 形成領域 1 が露出する開口パターンを有する第 6 のレジスト膜 2 5 6 を形成する。続いて、C F ₄ をエッチャントとする R I E 法により、第 6 のレジスト膜 2 5 6 をマスクとし、第 3 の保護絶縁膜 2 1 6 及び第 2 の保護絶縁膜 2 1 3 に対してエッチングを行なうことにより、F E T 形成領域 1 に、第 1 の保護絶縁膜 2 1 2 を露出する。

【 0 0 9 3 】

次に、図 1 2 (d) に示すように、リソグラフィ法により、基板 2 1 1 上に、F E T 形成領域 1 のソースドレイン形成領域が露出する開口パターンを有する第

7のレジスト膜257を形成する。続いて、第7のレジスト膜257をマスクとし、第1の保護絶縁膜212に対してフッ酸によるエッチングを行なうことにより、基板211の上面のソースドレイン形成領域を露出する。

【0094】

次に、図13(a)に示すように、蒸着法を用いて、第7のレジスト膜257上の開口パターンを含む全面にわたって、厚さが約50nmのAuGeと、厚さが約50nmのNiと、厚さが約1000nmのAuとの積層体からなるソースドレイン電極形成膜を堆積した後、第7のレジスト膜257に対してリフトオフを行なうことにより、この電極形成膜からソースドレイン電極219を形成する。その後、基板温度を約400℃に昇温して熱処理を行なって、ソースドレイン電極219と基板211の上部との合金化を図る。続いて、リソグラフィ法により、基板211上に、FET形成領域1におけるゲート形成領域が露出する開口パターンを有する第8のレジスト膜258を形成する。続いて、第8のレジスト膜258及び第1の保護絶縁膜212をマスクとして、基板211の上部に対してエッチャントにリン酸を用いたリセスエッチングを行なう。

【0095】

次に、図13(b)に示すように、蒸着法を用いて、第8のレジスト膜258上の開口パターンを含む全面にわたって、厚さが約500nmのTiと、厚さが約5000nmのAlと、厚さが約500nmのTiとの積層体からなるゲート電極形成膜を形成した後、第8のレジスト膜258に対してリフトオフを行なうことにより、この形成膜からゲート電極220を形成する。その後、CVD法を用いて、基板211上の全面にわたってSiNからなる第4の保護絶縁膜221を堆積する。

【0096】

次に、図13(c)に示すように、リソグラフィ法により、FET形成領域1におけるソースドレイン電極219の上側及びゲート電極220の上側の各領域、並びに線路形成領域2における線状導体層の第1層218の上側の領域がそれぞれ露出する開口パターンを有する第9のレジスト膜259を形成する。続いて、 CF_4 を用いたRIE法により、第9のレジスト膜258をマスクとして、第

4の保護絶縁膜221に対してエッチングを行なうことにより、FET形成領域1においては各電極219、220を露出し、線路形成領域2においては第1層218を露出する。

【0097】

次に、図14(a)に示すように、第9のレジスト膜259を除去した後、蒸着法を用いて、基板211上の全面にわたって、厚さが約 $0.05\mu\text{m}$ のTiと厚さが約 $0.15\mu\text{m}$ のAuとの積層体層222Aを形成する。この積層体層222Aは、線路形成領域2においては、線状導体層の第2層形成層222Aとなる。

【0098】

次に、図14(b)に示すように、リソグラフィ法により、FET形成領域1におけるソースドレイン電極219の上側及びゲート電極220の上側の各領域、並びに線路形成領域2における線状導体層の第1層218の上側を含む領域に開口パターンを有する第10のレジスト膜260を形成する。ここで、この開口パターンは、FET形成領域1においては、マイクロストリップ線路と接続されるパターンであり、線路形成領域2においては、線状導体層の幅が約 $5\mu\text{m}$ の幅広部を決定するパターンである。続いて、めっき法を用いて、厚さが $3\mu\text{m}$ のAu層223を各開口パターン内に形成する。

【0099】

次に、図14(c)に示すように、第10のレジスト膜260を除去した後、KIエッチャント及びフッ酸により、不要なTi/Au積層体層222Aを除去することにより、線路形成領域2に、第2層222及びAu層223を含む線状導体層の幅広部225bが形成される。従って、この幅広部225bと該幅広部225bの下側に連続する狭小部225aとにより、断面T字上のマイクロストリップ線路225を得ることができる。

【0100】

なお、マイクロストリップ線路155又はスパイラルインダクタ156の構成材料であるAuは、Ag又はCuであってもよい。

【0101】

また、第 3 の実施形態においては、能動素子の一例として F E T を用いたが、ダイオード、又は H B T 等のバイポーラトランジスタであってもよい。また、基板には G a A s を用いたが、シリコン (S i) を用いてもよい。

【 0 1 0 2 】

なお、本実施形態のように基板に G a A s を用いて、さらに F E T の能動層を含むエピタキシャル層が前述したような構成を採る場合には、以下に述べるような、特性上有利な構成を採ることができる。すなわち、基板とグレイデッドバッファ層との間に設けられる、 A l G a A s 又は I n G a P からなるバッファ層は、 G a A s との格子整合が良好であるため、相対的に膜厚を大きくできる。これにより、基板の形成時に含まれ、キンク発生の原因となるため有害なフッ素原子が、基板又は該バッファ層側からグレイデッドバッファ層側、さらにはチャネル層側に拡散することを防止できる。

【 0 1 0 3 】

また、本実施形態に係るマイクロストリップ線路をガラス又は石英等のように能動素子を形成できない基板上に形成し、別に用意された能動素子をマイクロストリップ線路が形成された基板上にフリップチップ実装してもよい。

【 0 1 0 4 】

また、本実施形態は、図 1 4 (c) に示すように、線状導体層 2 2 5 の幅広部 2 2 5 b と誘電体層 2 1 7 との間隙が S i N からなる第 4 の保護絶縁膜 2 2 2 によって埋められるが、 S i O ₂ 等の無機薄膜、又は B C B や D u r o i d 等の有機薄膜等の、さらに誘電率が小さい材料で埋めてもよい。

【 0 1 0 5 】

本実施形態によると、マイクロストリップ線路の延長方向に対する垂直な方向の断面の周囲長が大きくなるため、特に表皮効果が支配的で線路の周囲長が導体損に大きな影響を及ぼすマイクロ波又はミリ波の領域において、大幅に導体損失の改善を図ることができる。

【 0 1 0 6 】

さらに、マイクロストリップ線路の主要な材料を C u 又は A g とすることにより、より一層損失を低減できる。

【0107】

また、マイクロストリップ線路の誘電体をSTOのような高誘電体とすることの効果の説明する。誘電体中を伝播する電磁波の波長は $1/\sqrt{\epsilon}$ に比例する。STOの比誘電率は200程度で、GaAsの比誘電率12.9の10倍以上であるため、マイクロストリップ線路を伝播する電磁波の波長はGaAsの4分の1以下となる。従って、本実施形態に係る、STOを誘電体とするマイクロストリップ線路を用いると、周波数が5GHzの場合、 $\lambda/4$ 長が1.6mmとなるため、メアンダ状に線路を畳み込めば十分に集積化ができるので、本実施形態のようにオンチップで $\lambda/4$ 線路によるインピーダンス変換を実現できる。このことは、大電力MMICの整合回路にとって極めて有効である。

【0108】

また、25GHzのような準ミリ波帯のMMICに応用した場合には、 $\lambda/4$ 長が300 μ m程度に縮小されるため、分布定数を用いた整合回路の面積を大幅に低減できる。すなわち、マイクロ波又はミリ波のいずれの周波数領域においてもチップサイズの縮小を図れるため、特に高コストなミリ波帯のMMICのコストの低減に寄与する効果は大きい。

【0109】

さらに、線状導体層と接地電極との接続を行なうビアに対しても、従来は40 μ m～100 μ m程度の接続長（孔長）となるため、そのインピーダンスの影響が特にミリ波帯では無視できなかったが、本実施形態に係るマイクロストリップ線路によれば、0.5 μ m程度の孔長を実現できるので、数100GHzの領域まで電気長が0となる理想的なショートを実現できる。

【0110】

【発明の効果】

本発明のマイクロストリップ線路によると、上部が幅広部で下部が幅広部よりも狭い狭小部を有しているため、誘電体層に近い側で高インピーダンス化及び高インダクタンス化を図れると共に、誘電体層から離れた上部は、狭小部よりも幅が広いため、導体損失が増加しない。これにより、高周波半導体装置の小型化を実現できる。

【 0 1 1 1 】

さらに、誘電体層に高誘電体材料を用いると、線状導体を伝播する高周波信号の波長が小さくなるため、高周波半導体装置を確実に小型化できるようになる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るマイクロストリップ線路を示す構成断面図である。

【図 2】

(a) ～ (c) は本発明の第 1 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 3】

(a) 及び (b) は本発明の第 1 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 4】

本発明の第 2 の実施形態に係るマイクロストリップ線路を示す構成断面図である。

【図 5】

(a) ～ (c) は本発明の第 2 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 6】

(a) 及び (b) は本発明の第 2 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 7】

本発明の第 3 の実施形態に係る高周波半導体装置を示す回路図である。

【図 8】

本発明の第 3 の実施形態に係る高周波半導体装置における入出力インピーダンス整合を説明するためのスミスチャートである。

【図 9】

本発明の第 3 の実施形態に係る高周波半導体装置の入力整合回路付近を示す部

分的な斜視図である。

【図 1 0】

(a) ～ (d) は本発明の第 3 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 1 1】

(a) ～ (d) は本発明の第 3 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 1 2】

(a) ～ (d) は本発明の第 3 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 1 3】

(a) ～ (c) は本発明の第 3 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 1 4】

(a) ～ (c) は本発明の第 3 の実施形態に係るマイクロストリップ線路の製造方法を示す工程順の構成断面図である。

【図 1 5】

従来の高周波半導体装置を示す回路図である。

【図 1 6】

従来の M M I C 化された高周波半導体装置を示す平面図である。

【符号の説明】

- 1 1 基板
- 1 2 接地電極（接地導体層）
- 1 2 a 第 1 層
- 1 2 b 第 2 層
- 1 2 c 第 3 層
- 1 3 誘電体層
- 1 4 線状導体層
- 1 4 a 狭小部

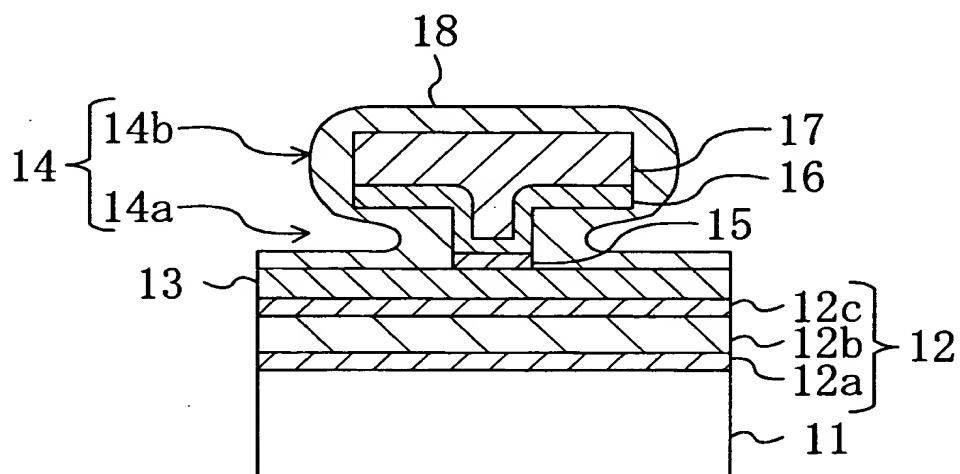
1 4 b	幅広部
1 5	第 1 層
1 6	第 2 層
1 6 A	第 2 層形成層
1 7	第 3 層
1 8	保護絶縁膜
2 1	第 1 のレジスト膜
2 2	第 2 のレジスト膜
2 3	第 3 のレジスト膜
3 1	基板
3 2	接地電極（接地導体層）
3 2 a	第 1 層
3 2 b	第 2 層
3 2 c	第 3 層
3 3	誘電体層
3 4	線状導体層
3 4 a	狭小部
3 4 b	幅広部
3 5	第 1 層
3 6	第 2 層
3 6 A	第 2 層形成層
3 7	第 3 層
3 8	支持絶縁膜
4 1	第 1 のレジスト膜
4 2	第 2 のレジスト膜
4 3	第 3 のレジスト膜
5 1	F E T
5 2	R F 入力端子
5 3	R F 出力端子

- 5 4 第 1 の容量素子
- 5 5 $\lambda/4$ 長線路 (マイクロストリップ線路)
- 5 6 第 1 のインダクタ素子
- 5 7 第 2 の容量素子
- 5 8 第 3 の容量素子
- 5 9 第 2 のインダクタ素子
- 6 0 第 4 の容量素子
- 1 1 1 基板
- 1 1 2 接地電極
- 1 1 3 誘電体層
- 1 2 1 D C 供給用パッド
- 1 5 1 F E T
- 1 5 2 R F 入力端子
- 1 5 2 a グランド端子
- 1 5 2 b ヴィア
- 1 5 4 第 1 の M I M キャパシタ
- 1 5 5 マイクロストリップ線路
- 1 5 6 スパイラルインダクタ
- 1 5 7 第 2 の M I M キャパシタ
- 1 F E T 形成領域 1
- 2 線路形成領域
- 2 1 1 基板
- 2 1 2 第 1 の保護絶縁膜
- 2 1 3 第 2 の保護絶縁膜
- 2 1 5 第 1 層
- 2 1 5 A 第 1 層形成層
- 2 1 5 B 第 2 層形成層
- 2 1 5 C 第 3 層形成層
- 2 1 6 第 3 の保護絶縁膜

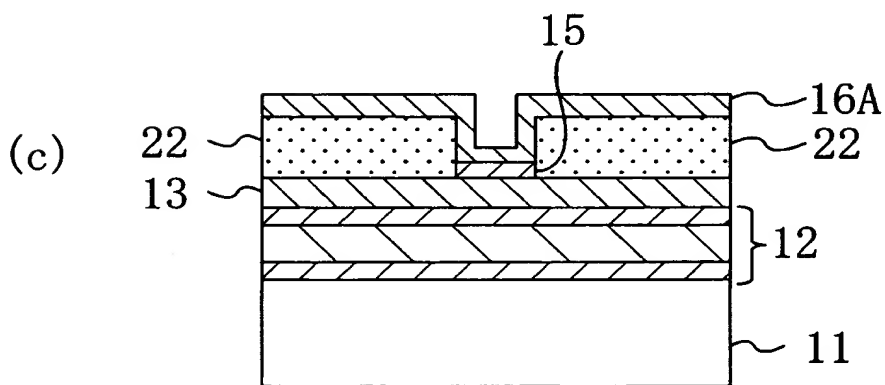
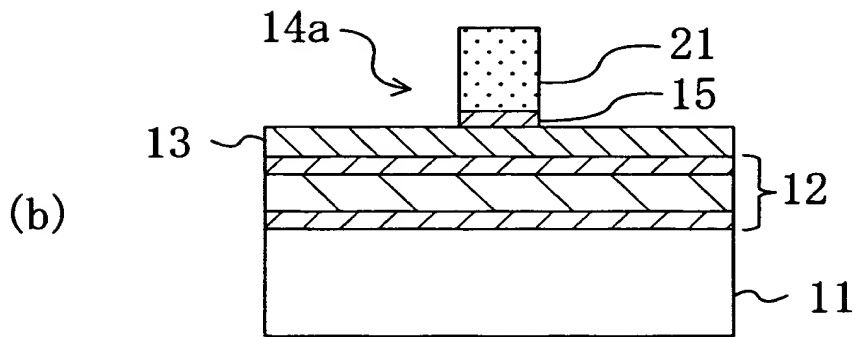
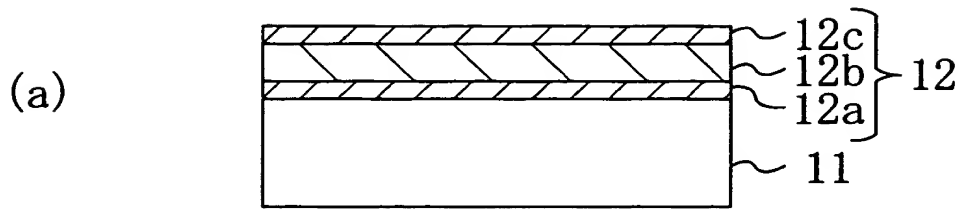
2 1 7	誘電体層
2 1 8	第 1 層層
2 1 8 A	第 1 層形成層
2 1 9	ソースドレイン電極
2 2 0	ゲート電極
2 2 1	第 4 の保護絶縁膜
2 2 2	第 2 層
2 2 2 A	積層体層 (第 2 層形成層)
2 2 3	A u 層
2 2 5	線状導体層
2 2 5 a	狭小部
2 2 5 b	幅広部
2 5 1	第 1 のレジスト膜
2 5 2	第 2 のレジスト膜
2 5 3	第 3 のレジスト膜
2 5 4	第 4 のレジスト膜
2 5 5	第 5 のレジスト膜
2 5 6	第 6 のレジスト膜
2 5 7	第 7 のレジスト膜
2 5 8	第 8 のレジスト膜
2 5 9	第 9 のレジスト膜
2 6 0	第 1 0 のレジスト膜

【書類名】 図面

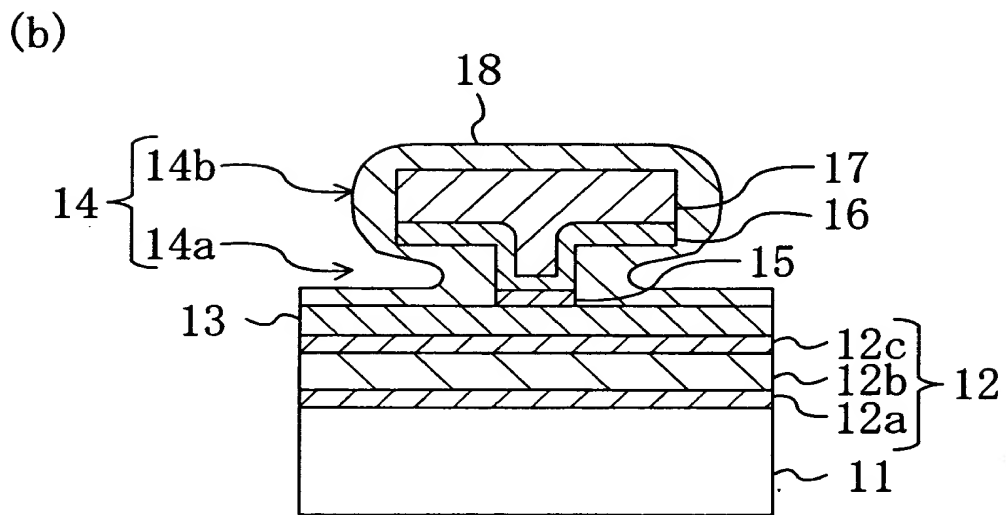
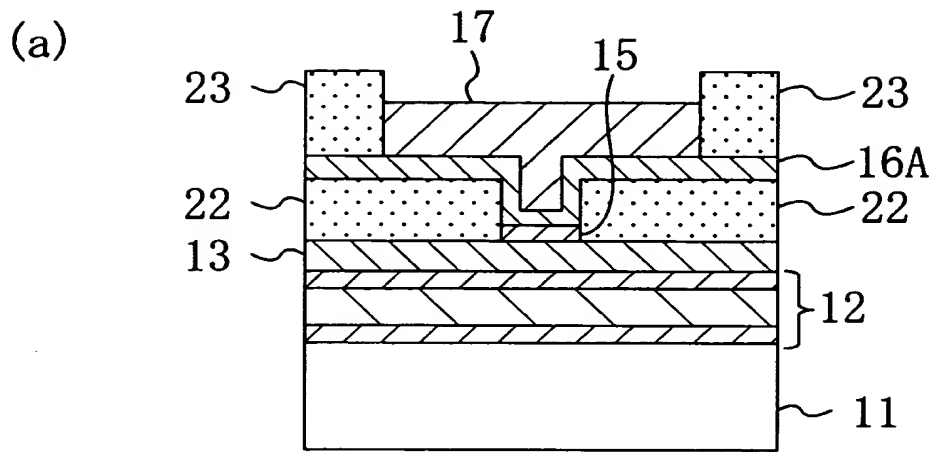
【図 1】



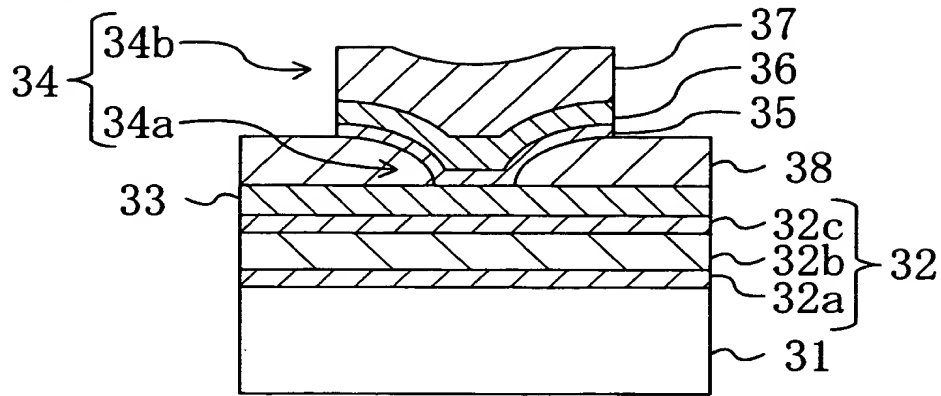
【図 2】



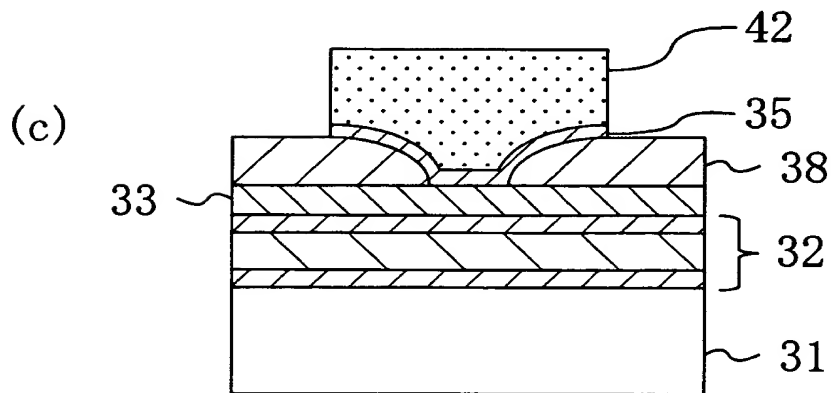
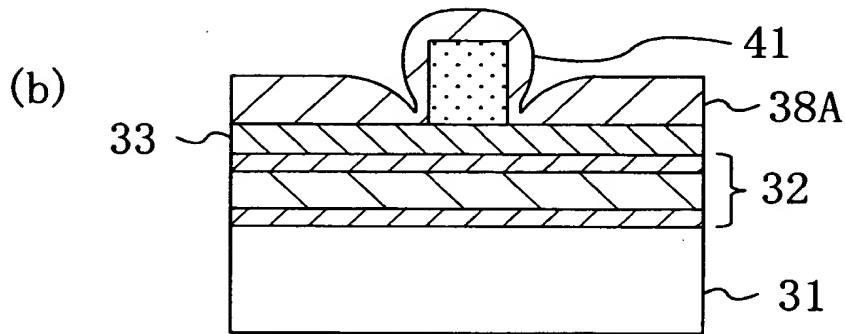
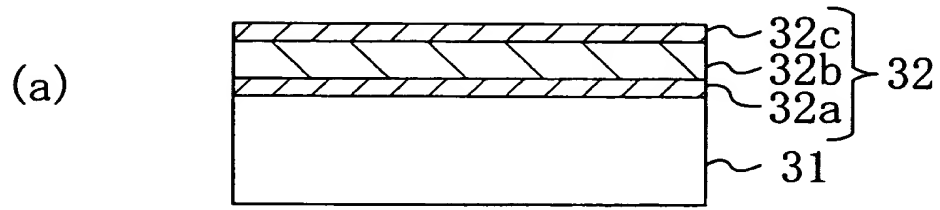
【図 3】



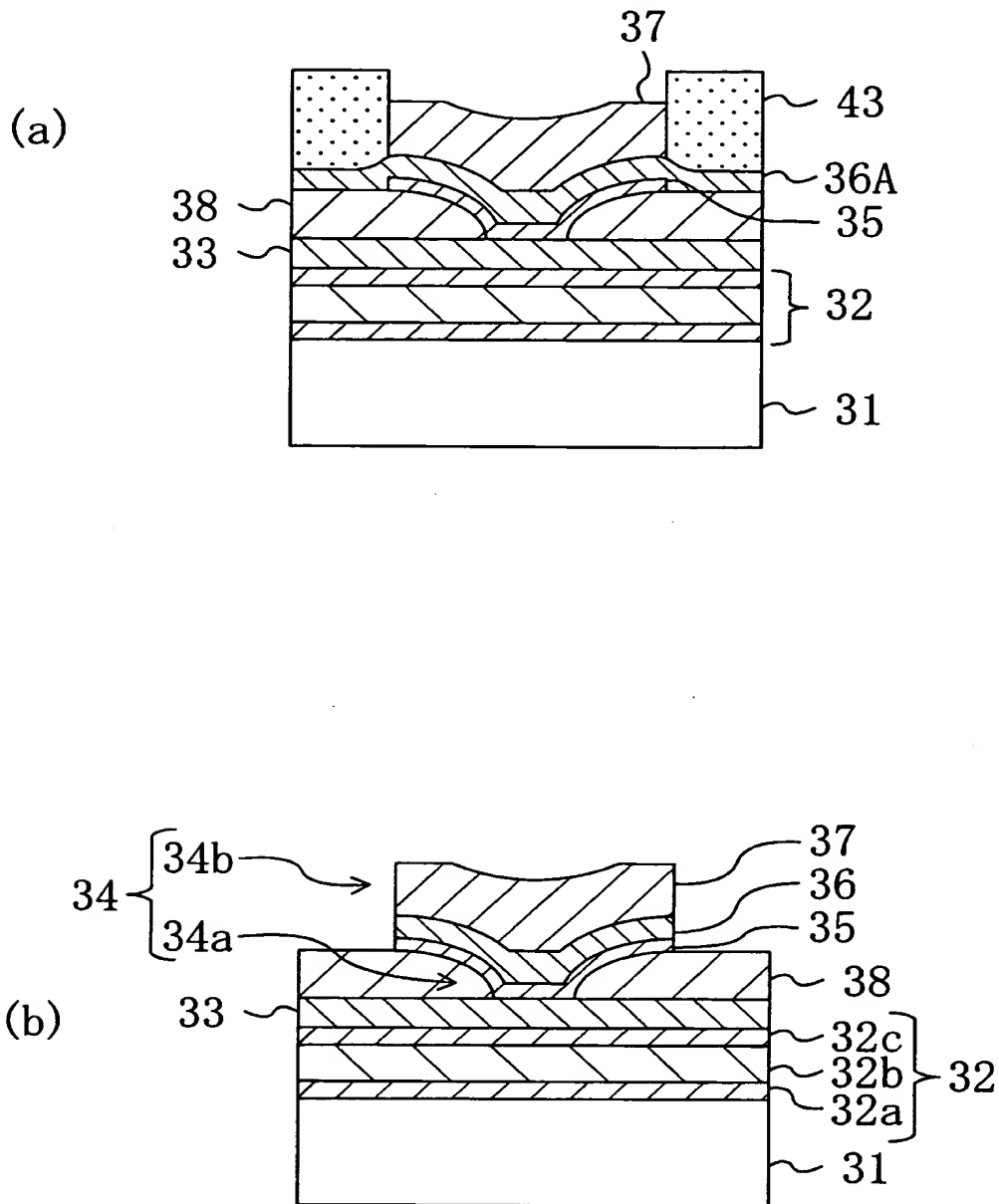
【図 4】



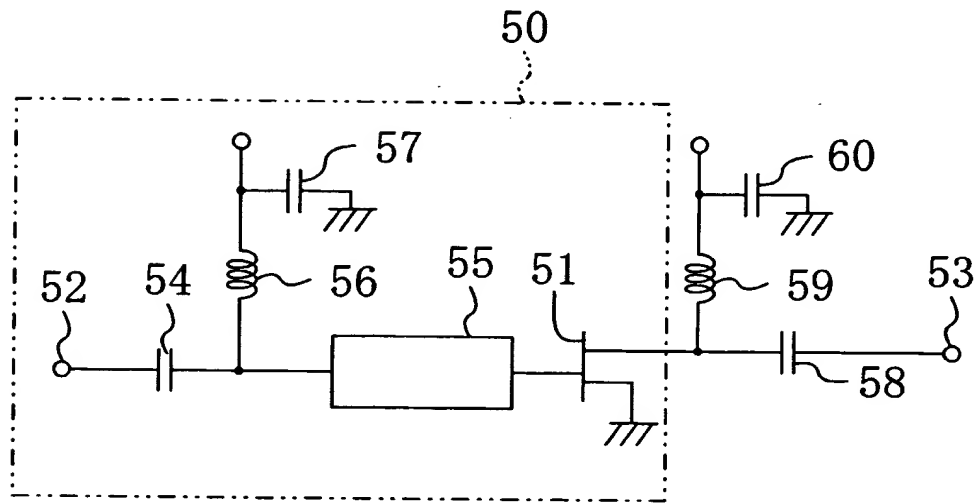
【図 5】



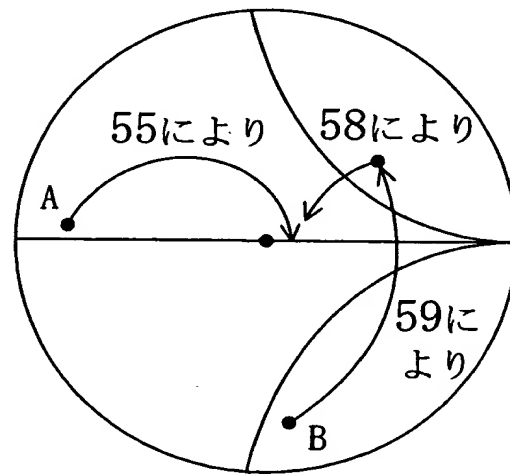
【図 6】



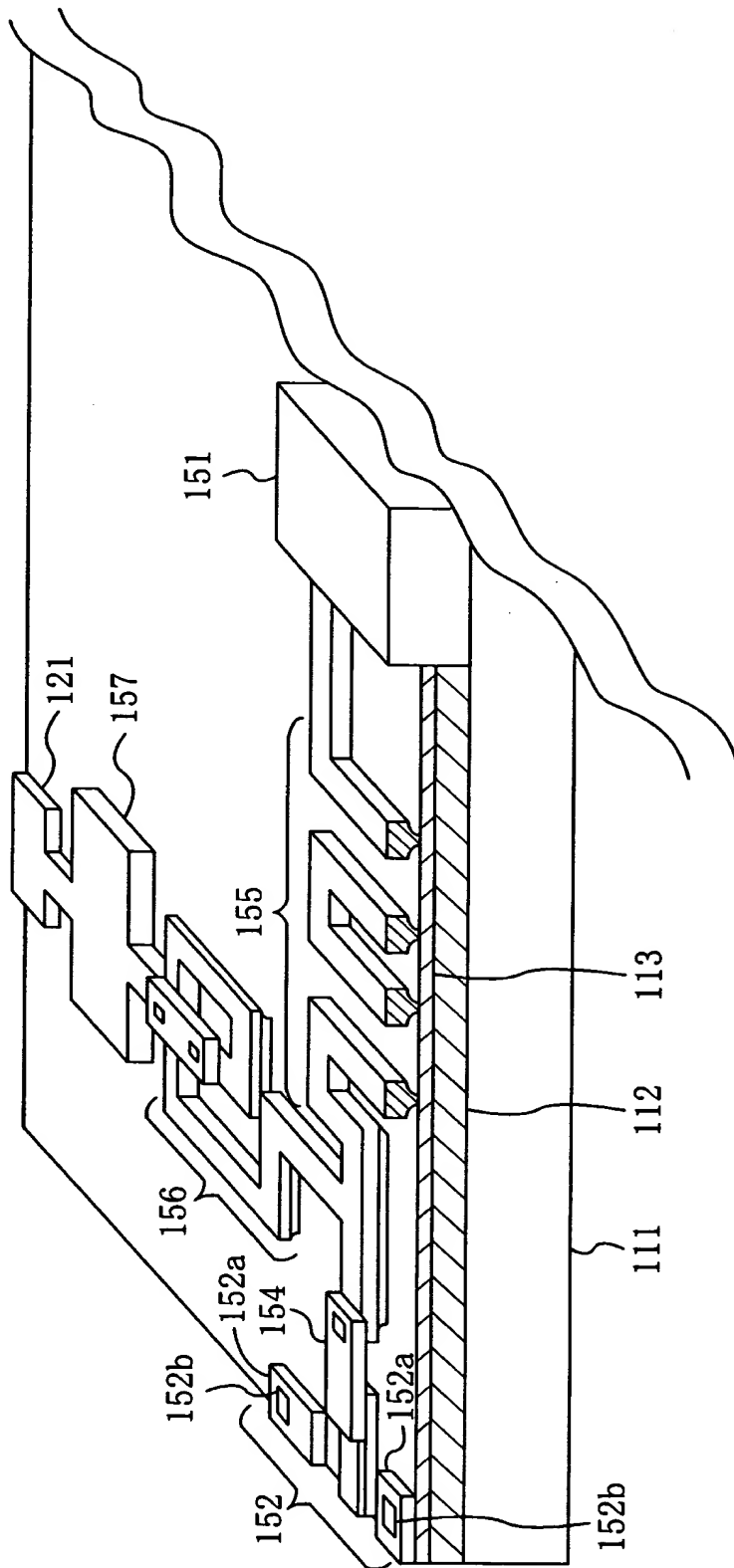
【図 7】



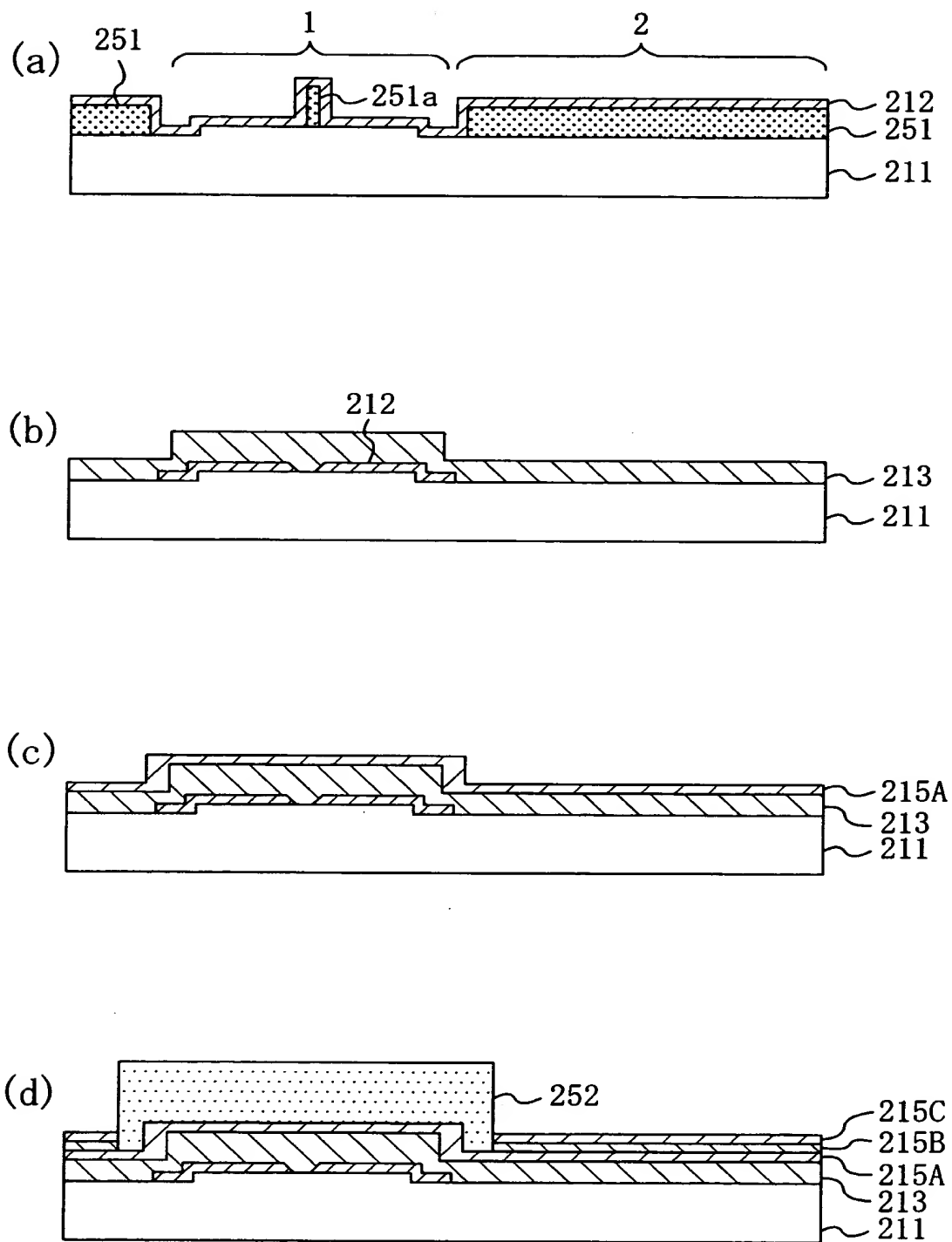
【図 8】



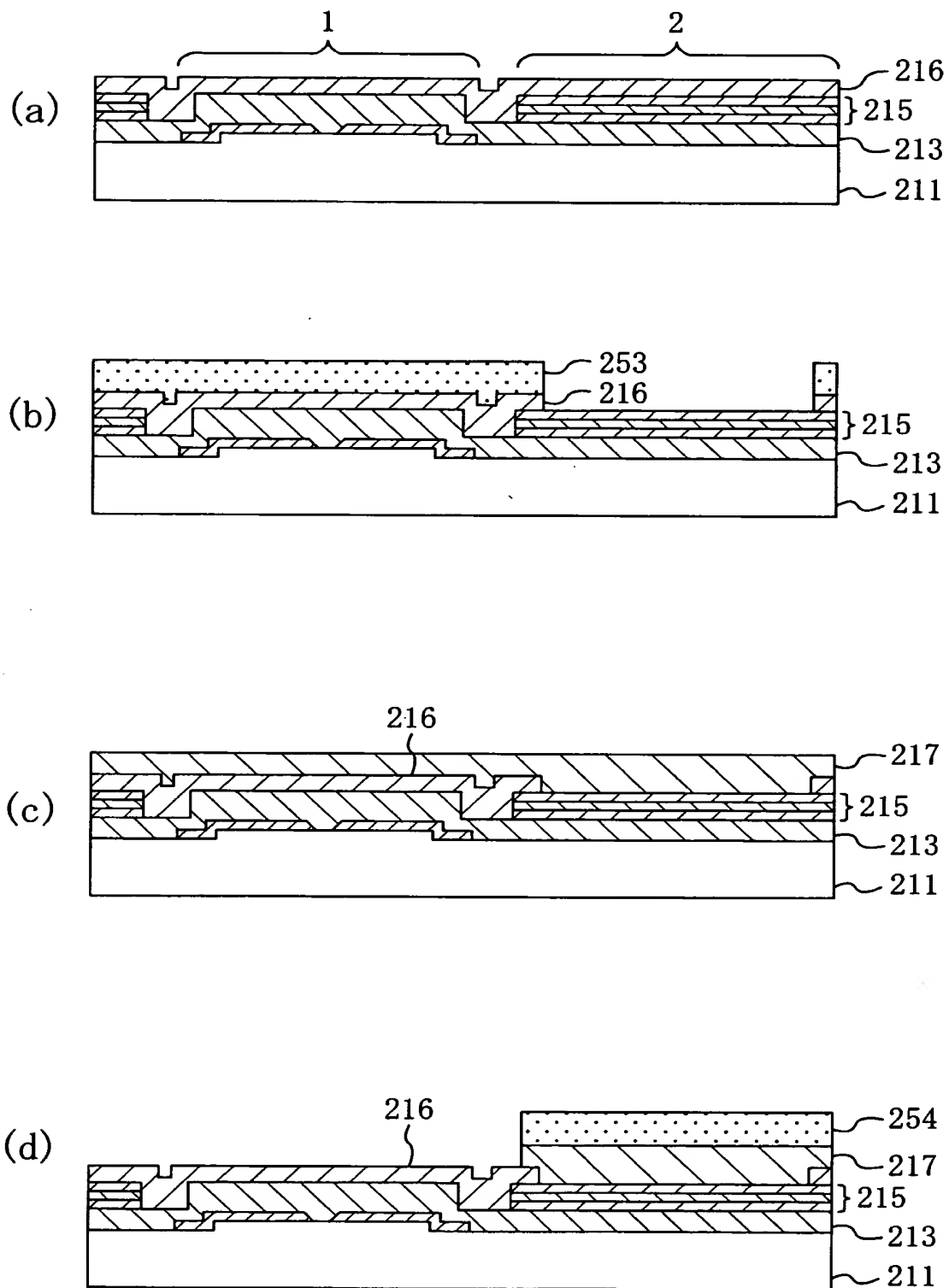
【図 9】



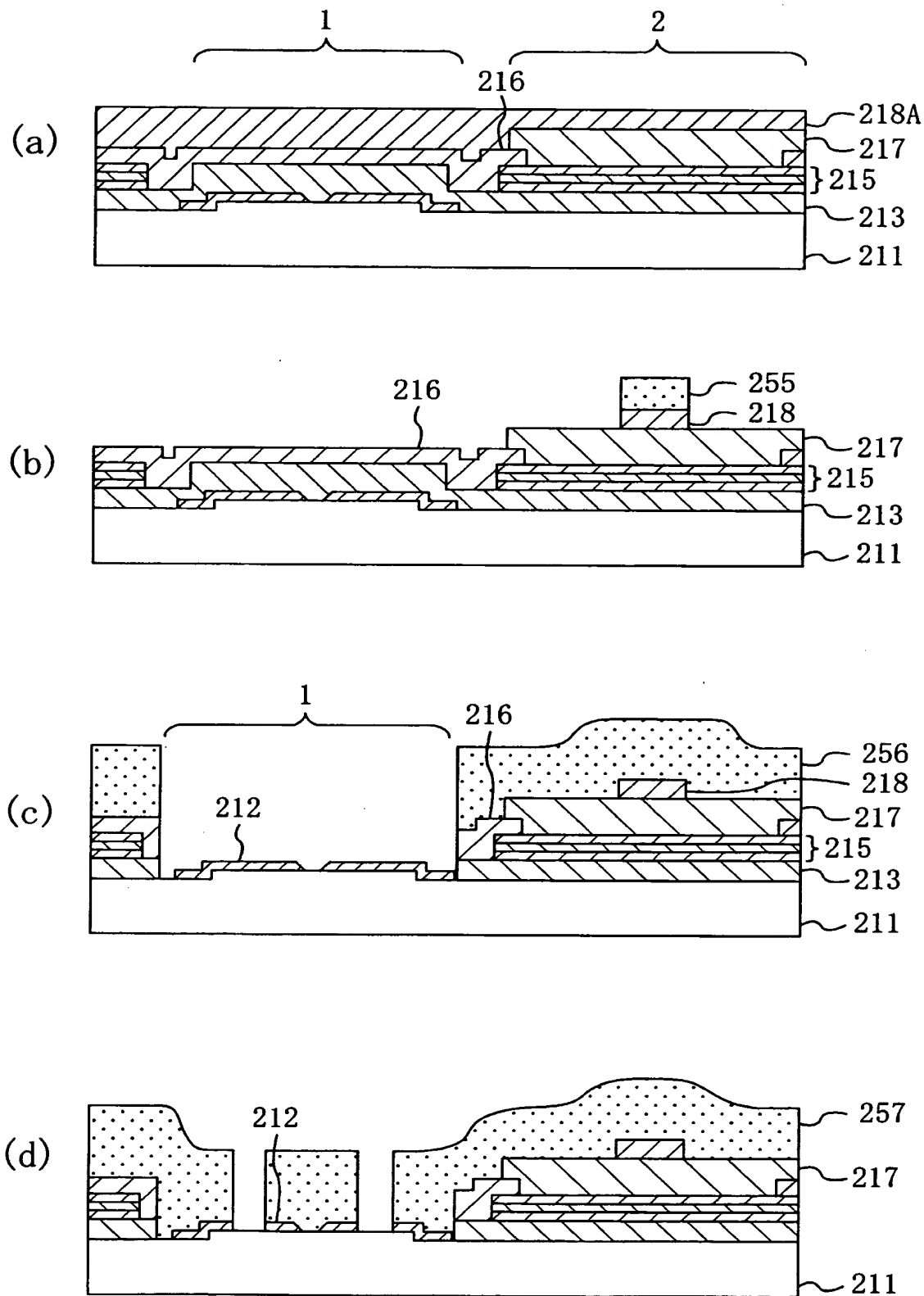
【図 1 0】



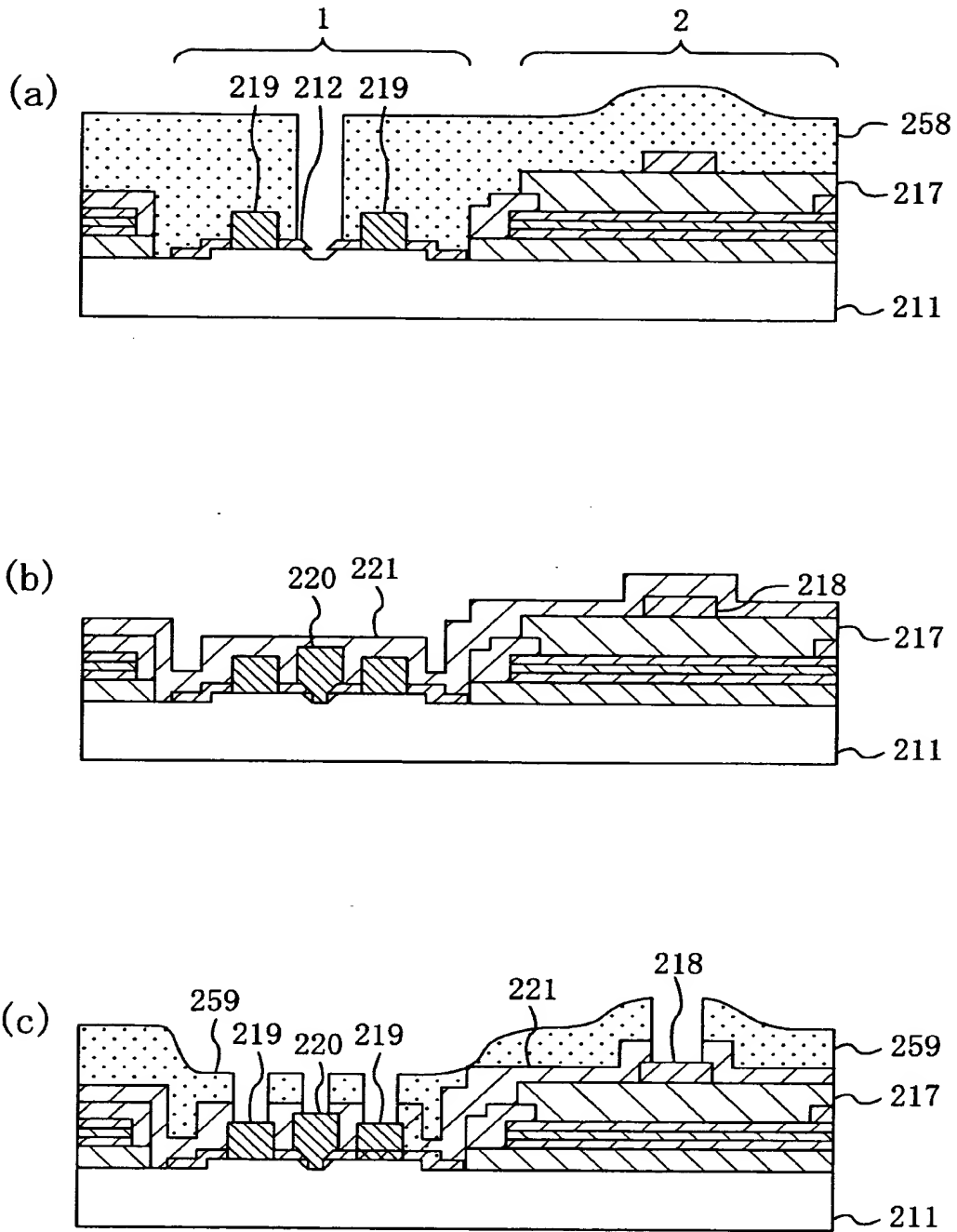
【図 1 1】



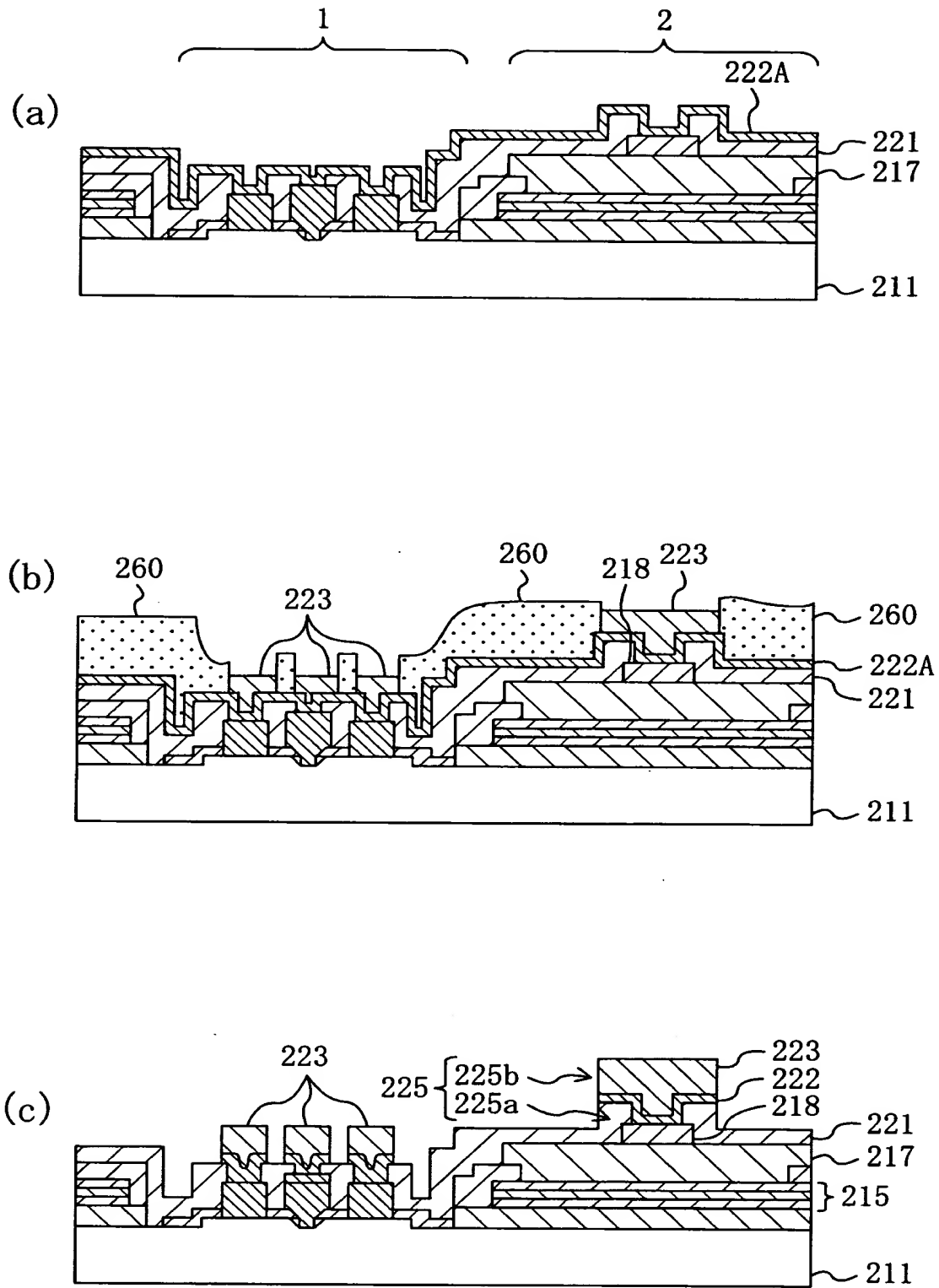
【図 1 2】



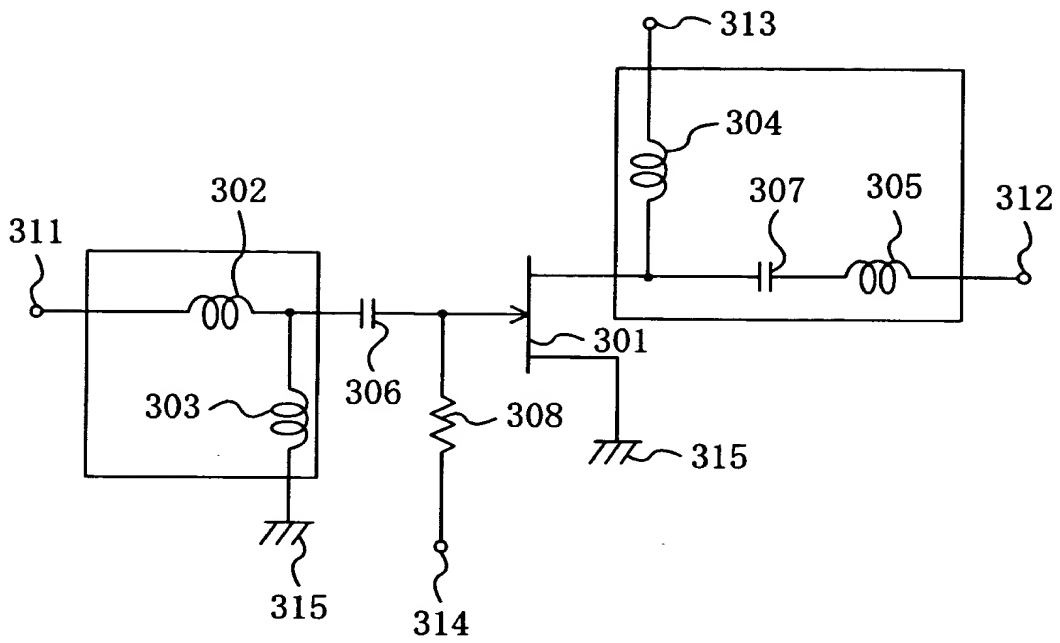
【図 1 3】



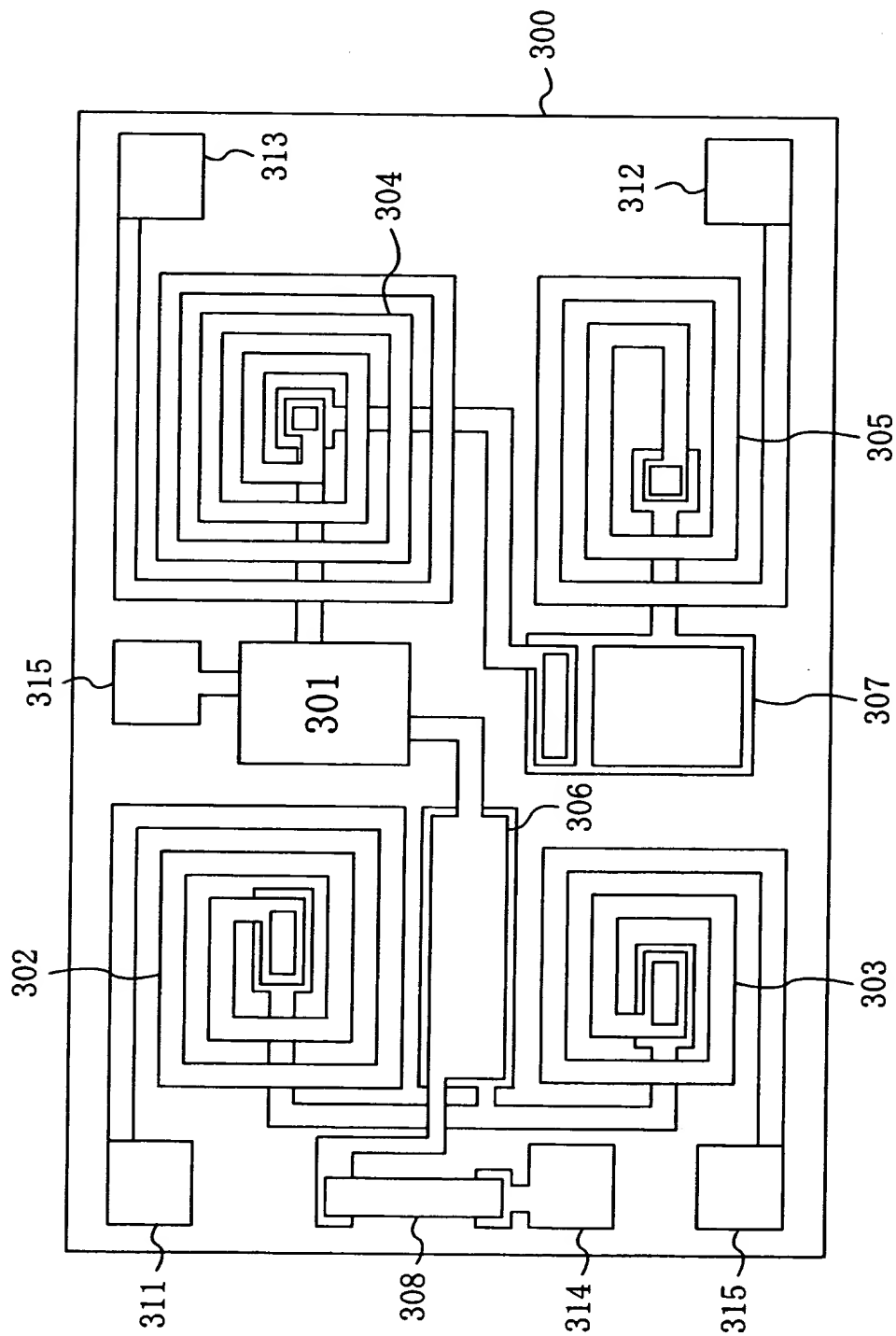
【図 1 4】



【図 1 5】



【図 16】



【書類名】 要約書

【要約】

【課題】 マイクロストリップ線路の線路幅の狭小化を行なったとしても、導体損失が増加しないようにする。

【解決手段】 半絶縁性GaAsからなる基板11上には、接地電極12と、厚さが約0.5 μ mのチタン酸ストロンチウムからなる誘電体層13と、線状導体層14とにより構成されるマイクロストリップ線路が形成されている。線状導体層14は、幅が約0.5 μ mの狭小部14aと、幅が約5 μ mの幅広部14bとにより構成されている。この線状導体層14は、異なる材料からなる積層体であって、基板11側から順次形成された、厚さが約0.1 μ mの窒化タンゲステンシリコンからなる第1層15と、厚さが約0.05 μ mのTiと厚さが約0.5 μ mのAuとの積層体からなる第2層16と、厚さが約3 μ mのAuからなる第3層17とから構成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社